首届高校ICT产教融合创新大赛企业命题

命题编号：35

|  |  |  |
| --- | --- | --- |
| 命题企业 | 中科亿海微电子科技（苏州）有限公司 | |
| 命题题目 | FPGA逻辑综合中多路分支语句的优化算法 | |
| 命题方向 | 应用于FPGA EDA软件编译流程中的逻辑综合步骤 | |
| FPGA逻辑综合 | |
| 命题内容 | 命题背景 | 面积，即资源数量是FPGA逻辑综合工具的一个重要指标。减少FPGA逻辑综合后的资源数量，对提高FPGA软件的布通率和时序性能，具有十分重要的作用。多路分支语句是电路描述文件中逻辑处理常见的结构，它通常包含一个控制信号和多个选择块，每个选择块又包含一个信号值和若干个处理语句。对多路分支语句进行逻辑综合后通常会产生大量的多路选择器（Mux）单元以及与门（And）、或门（Or）等门电路单元。因此需要对多路分支语句的逻辑综合方法进行优化，减少多路分支语句综合后单元的数量，从而减少FPGA逻辑综合后的面积。 |
| 研究目标 | 由前端生成工具，将test case测试电路生成前端结果文件，其中包括多路分支语句的选择器单元pmux，以及逻辑与、逻辑或等单元；基于上述逻辑单元，采用合理的优化算法将前端结果文件中的pmux单元进行综合优化，生成基本的逻辑单元，如Mux、And、Or等。再将基本的逻辑单元网表交由工艺映射程序（如abc），获取到功能等价的综合结果输出文件。最后可通过仿真验证检查输出文件逻辑功能的正确性，并统计逻辑资源数量。  1）将test case测试电路生成前端结果文件。  2）采用合理的算法将前端结果文件中的pmux单元进行综合优化，生成基本的逻辑单元，如Mux、And、Or等。  3）将基本的逻辑单元网表交由工艺映射程序（如abc），获取到功能等价的综合结果输出文件。  4）检查输出文件逻辑功能正确性，并统计逻辑资源数量。 |
| 输出成果 | 算法方案、代码及测试结果  程序输出结果文件为经过工艺映射后产生的网表，包含查找表和触发器等单元。 |
| 评价指标 | 1. 保证布线正确性：在满足赛题约束的情况下，test case均能得到正确的综合结果，仿真通过； 2. 满足正确性的前提下，比较映射后的查找表和触发器数量，数量越少越好。 | |
| 提交材料 | 算法方案  现场报告PPT  测试结果  算法代码  程序操作说明，以便现场统一测试 | |
| 答题所需软硬件资源 | Windows 7 64位以上操作系统 | |
| 配套支持 | 提供前后端可执行文件、接口定义文件、test case集以及说明文档等。 | |
| 政策支持 | 优秀的学生可以提供实习岗位；实习通过可以提供就业岗位。 | |
| 其他 | （比赛相关的未尽事宜） | |